

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010076780 A
(43)Date of publication of application: 16.08.2001(21)Application number: 1020000004135
(22)Date of filing: 28.01.2000(71)Applicant: KOREA ELECTRONICS
& TELECOMMUNICATIONS
RESEARCH INSTITUTE
(72)Inventor: KIM, MYEONG SEOP
OH, DEOK GIL
SONG, YUN JEONG

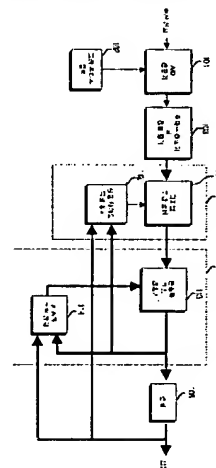
(51)Int. Cl H04L 27/00

(54) DEVICE AND METHOD FOR PARALLEL-TREATING TIMING RESTORATION USING INTERPOLATION FILTER

(57) Abstract:

PURPOSE: A device and method for parallel-treating timing restoration using interpolation filter is provided to operate a symbol timing restoration circuit which use the interpolation filter in real time, and obtain a symbol timing error with high speed.

CONSTITUTION: A frequency down and matching filter(103) downs an input frequency from an analog/digital converter (101) and detects by a matching operation. A digital interpolation filter(111) performs an interpolation filtering operation by a control signal for the output signals from the frequency down and matching filter(103). A decision section(106) decides and outputs a symbol from the input signal. A carrier restoration device(114) restores the carrier after receiving an output signal from the decision section(106). A symbol timing restoration device(112) controls filtering coefficient of the digital interpolation filter according to the input and output signal of decision section(106).



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20000128)
Final disposal of an application (registration)
Date of final disposal of an application (20011127)
Patent registration number (1003279050000)
Date of registration (20020226)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H04L 27/00

(11) 공개번호 특2001-0076780
(43) 공개일자 2001년06월16일

(21) 출원번호 10-2000-0004135
(22) 출원일자 2000년01월28일
(71) 출원인 한국전자통신연구원 오길록
대전 유성구 가정동 161번지
(72) 발명자 송윤정
대전광역시유성구전민동청구아파트103동1505호
김명섭
대전광역시유성구송강동한마을APT101-403
오덕길
대전광역시서서구둔산동삼성한마루아파트6동601호
(74) 대리인 전영일

심사청구 : 있음

(54) 보간 필터를 사용한 타이밍 복원 병렬 처리 방법 및 그 장치

요약

본 발명은, 고속 전송을 위한 보간 필터를 이용한 디지털 심볼 타이밍 복원 장치의 병렬 처리 구조에 관한 것이다. 특히 수신된 신호를 기저 대역에서 디지털로 샘플 타이밍의 위상을 복원하기 위하여 고정 클럭에 의해서 구동되는 A/D 변환기의 출력을 정한 필터를 거쳐서 신호를 필터링하는 것과; 보간 필터를 이용하여 신호를 보간한 후, 타이밍 오차 검출기로부터 심볼 타이밍 위상차를 검출하는 것과; 검출된 심볼 타이밍 위상차에 따라 제어 회로에서 보간 필터의 계수 선택을 통해서 타이밍 위상차를 제거하는 기능을 수행한다. 또한, 고속에서 동작하는 보간 필터를 제공하기 위해서 보간 필터의 입력 시퀀스와 필터 출력을 병렬 처리하고, 이를 위해 두 심볼 당 심볼 타이밍 오차를 검출한 후 심볼 타임 샘플 값을 취하며, 심볼 당 4 샘플 기준으로 처리된 정한 필터 출력을 보간 필터의 입력으로 받아들이고, 이를 4 x N 크기의 레지스터에 저장한 후 제어 회로에서 제공하는 제어 신호에 따라 사용 입력 시퀀스의 선택과 필터 계수의 선택을 행하는 것과, 선택된 신호 시퀀스와 보간 필터의 계수 간의 곱은 계산량이 많고 계산 시간이 많이 소모되므로 이를 해결하기 위하여 입력 신호에 따른 계산 결과를 순탐(lookup) 표를 이용하여 계산 결과를 출력하는 방법을 제공하는 것을 특징으로 하는 보간 필터를 사용한 타이밍 복원 병렬 처리방법과 장치를 제공한다.

도표도

도1

명세서

도면의 간단한 설명

- 도 1은 본 발명에 따른 보간 필터를 사용한 타이밍 복원 장치 블록 구성도
- 도 2는 본 발명에서 제안하는 심볼 타이밍 제어 구조도
- 도 3은 본 발명에서 제안하는 심볼 타이밍 오차 검출 회로 및 신호 제어 신호 발생 회로도
- 도 4는 본 발명과 관련된 일반적인 보간 필터 구조도
- 도 5는 본 발명에서 제안하는 병렬 처리 보간 필터 구조도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 QPSK나 QAM으로 변조된 신호를 수신기에서 복조하는 것에 관한 것으로 특히, 보간

필터(interpolation filter)를 사용하는 심볼 타이밍 복원 회로의 고속 동작을 위하여 필터의 입력 시퀀스와 필터 출력을 병렬 처리하는 방법과 심볼 타이밍 오차를 고속으로 구하기 위한 병렬 처리 방법 및 그에 따른 장치에 관한 것이다.

일반적으로, 고속의 위성 통신을 포함한 무선 통신시 QPSK 나 QAM 등과 같은 디지털 모뎀을 이용하는 경우 데이터 심볼과 샘플링 위치가 동기 되지 않으면 심볼 타이밍 복원 회로가 요구된다. 심볼 타이밍 복원 방법은 PLL 을 이용하여 수신 신호의 샘플에 직접 작용하여 오차 신호를 만들고 그 값이 제한되어 추적점을 교정해 나가는 방법을 포함한 여러 가지 방법들이 사용되고 있다.

즉, QPSK나 QAM 등의 변조 방식을 이용하는 무선 통신에서 제공되는 심볼 타이밍 복원 회로에서는 아날로그 PLL(Phase Locked Loop)이나 DPLL(Digital PLL)을 사용하게 된다. 이와 같은 경우 고속 동작회로를 구성하는 경우 회로의 복잡도와 성능 저하가 발생할 수 있다.

따라서 고속 통신에서 시스템의 성능 저하를 막으면서 회로 구현상의 복잡도를 줄이는 디지털 방식의 심볼 타이밍 복원 회로의 구현이 요구된다. 이를 위해서 PLL 방식을 배제하면서도 성능 저하를 방지하는 구현 장치가 필요하다는 문제점이 발생되었다.

상술한 문제점을 해소하기 위하여 제안되어진 종래의 기술은 기존 심볼 타이밍 복원 회로에서 사용되는 알고리즘 중에서 보간 필터를 이용하여 심볼 타이밍을 복원하는 방법이 제안되어 있다.

이중 Stephen K에 의해 제안된 방법에서는 보간 필터로 나이퀴스트(Nyquist) 필터를 사용하였으며, 심볼 타이밍 복원 회로에서 제공되는 제어 신호는 보간 필터의 입력 신호를 이용, 심볼 타이밍 위상차를 검출하고 검출된 심볼 위상차에 따라 보간 필터에서 사용되는 계수 군을 선택하는 개방 루프 제어 방식을 선택하였다.

그러나, 이러한 방식은 입력신호를 순차적으로 처리하는 방법을 고려하여 제시하고 있는 것으로 데이터 처리 속도가 저하되는 문제점을 갖고 있는데, 이는 고속동작 디지털 방식의 심볼 타이밍 복원 회로의 구현 시 실시간 신호 처리를 위해서는 적합하지 않다는 문제점을 내포하고 있는 것이다.

발명이 이루고자하는 기술적 과제

상기와 같은 문제점을 해소하기 위한 본 발명의 목적은 고속동작 디지털 방식의 심볼 타이밍 복원 회로의 구현 시 실시간 신호 처리를 위하여 보간 필터를 사용하는 심볼 타이밍 복원 회로의 고속 동작을 위하여 필터의 입력 시퀀스와 필터 출력을 병렬 처리하는 방법과 심볼 타이밍 오차를 고속으로 구하기 위한 병렬 처리 방법 및 그에 따른 장치를 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 특징은, 디지털 심볼 타이밍 복원 장치에서의 타이밍 복원 방법에 있어서, 수신된 신호를 기저 대역에서 디지털로 심볼 타이밍의 위상을 복원하기 위하여 고정 클럭에 의해서 구동되는 A/D 변환 수단의 출력을 정한 필터링 수단을 통해 필터링하는 제 1과정과; 상기 제 1과정을 통해 필터링되어진 신호를 보간 필터링 수단을 통해 신호 보간을 수행하는 제 2과정과; 상기 제 2과정을 통해 보간되어진 신호를 타이밍 오차 검출수단을 통해 심볼 타이밍 위상차를 검출하는 제 3과정; 및 상기 제 3과정을 통해 검출된 심볼 타이밍 위상차에 따라 상기 보간 필터링 수단의 계수 선택을 통해서 타이밍 위상차를 제거하는 제 4과정을 포함하되, 개방 루프 방식으로 결정지향 가드너(Gardner) 검출방법을 적용하는 데 있다.

상기 목적을 달성하기 위한 본 발명의 다른 특징은, 디지털 심볼 타이밍 복원 장치에서의 타이밍 복원 방법에 있어서, 두 심볼 당 심볼 타이밍 오차를 검출한 후 심볼 타임 샘플 값을 취하며, 심볼 당 4샘플 기준으로 처리된 정한 필터 출력을 보간 필터의 입력으로 받아들이며 이를 4xN 크기의 레지스터에 저장한 후 사용 입력 시퀀스의 선택과 필터 계수의 선택을 수행하는 제 1과정과; 상기 제 1과정을 통해 선택된 신호 시퀀스와 보간 필터의 계수간의 곱은 입력 신호에 따른 계산 결과를 순탐(Lookup) 표를 이용하여 계산 결과를 출력하는 제 2과정을 포함하여 필터의 입력 시퀀스와 필터 출력을 병렬 처리하는 데 있다.

상기 목적을 달성하기 위한 본 발명의 또 다른 특징은, 디지털 심볼 타이밍 복원 장치에서의 타이밍 복원 방법에 있어서, 수신된 신호를 기저 대역에서 디지털로 심볼 타이밍의 위상을 복원하기 위하여 고정 클럭에 의해서 구동되는 A/D 변환 수단의 출력을 정한 필터링 수단을 통해 필터링하는 제 1과정과; 상기 제 1과정을 통해 필터링되어진 신호를 보간 필터링 수단을 통해 신호 보간을 수행하는 제 2과정과; 상기 제 2과정을 통해 보간되어진 신호를 타이밍 오차 검출수단을 통해 심볼 타이밍 위상차를 검출하는 제 3과정과; 상기 제 3과정을 통해 검출된 심볼 타이밍 위상차에 따라 상기 보간 필터링 수단의 계수 선택을 통해서 타이밍 위상차를 제거하되 개방 루프 방식으로 결정지향 가드너(Gardner) 검출방법을 적용하는 제 4과정과; 두 심볼 당 심볼 타이밍 오차를 검출한 후 심볼 타임 샘플 값을 취하며, 심볼 당 4샘플 기준으로 처리된 정한 필터 출력을 보간 필터의 입력으로 받아들이며 이를 4xN 크기의 레지스터에 저장한 후 사용 입력 시퀀스의 선택과 필터 계수의 선택을 수행하는 제 5과정; 및 상기 제 5과정을 통해 선택된 신호 시퀀스와 보간 필터의 계수간의 곱은 입력 신호에 따른 계산 결과를 순탐(Lookup) 표를 이용하여 계산 결과를 출력하여 필터의 입력 시퀀스와 필터 출력을 병렬 처리하는 제 6과정을 포함하는 데 있다.

상기 목적을 달성하기 위한 본 발명의 부가적인 특징은, 상기 심볼 타이밍 복원 장치는 상기 결정부의 입력 신호를 입력받아 타이밍 오차를 검출하는 타이밍 오차 검출기와; 입력신호를 기준으로 상기 디지털 보간 필터의 필터 계수를 제어하는 타이밍 위상 제어기와; 상기 타이밍 위상 제어기에 입력되는 신호를 기 설정된 문턱값과 비교하여 출력하는 승산기와; 상기 승산기의 출력신호를 기 설정된 시간동안 지연시켜 출력하는 제 1지연기와; 상기 지연기의 출력신호와 타이밍 오차 검출기의 출력신호를 합산하여 출력

하는 제 1가산기와; 상기 제 1가산기의 출력신호와 제 2지연기를 통해 지연되어 입력되는 자신의 출력신호를 합산하여 출력하는 제 2가산기; 및 상기 제 2가산기의 출력신호를 입력받아 기 설정되어 있는 문턱값과 비교하여 그 비교치를 상기 타이밍 위상 제어기록으로 입력시키는 문턱값 비교기를 포함하는 데 있다.

본 발명의 상술한 목적과 여러 가지 장점은 이 기술 분야에 숙련된 사람들에 의해 첨부된 도면을 참조하여 후술되는 발명의 바람직한 실시 예로부터 더욱 명확하게 될 것이다.

본 발명은, 고속 전송을 위한 보간 필터를 이용한 디지털 심볼 타이밍 복원 장치의 병렬 처리 구조를 제안한다.

그 구조는 수신된 신호를 기저 대역에서 디지털로 심볼 타이밍의 위상을 복원하기 위하여 고정 클럭에 의해 구동되는 A/D(Analog to digital) 변환기의 출력에 정합 필터를 거쳐서 신호를 필터링하고, 보간 필터를 이용하여 신호를 보간한 후, 타이밍 오차 검출기로부터 심볼 타이밍 위상차를 검출한다. 검출된 심볼 타이밍 위상차에 따라 제어 회로에서 보간 필터의 계수 선택을 통해서 타이밍 위상차를 제거하는 기능을 수행한다. 여기서 제공되는 심볼 타이밍 복원 방법은 제한 루프 방식으로 결정지향 가드너(Gardner) 검출방법을 사용한다.

또한, 고속에서 동작하는 보간 필터를 제공하기 위해서 본 발명에서는 필터의 입력 시퀀스와 필터 출력을 병렬 처리하는 방법을 제안한다. 이를 위해 두 심볼 당 심볼 타이밍 오차를 검출한 후 심볼 타임 샘플 값을 취하는 방법을 사용한다. 또한, 심볼 당 4 샘플 기준으로 처리된 정합 필터 출력을 보간 필터의 입력으로 받아들이고, 이를 $4 \times N$ 크기의 레지스터에 저장한 후 제어 회로에서 제공하는 제어 신호에 따라 사용 입력 시퀀스의 선택과 필터 계수의 선택을 행한다. 선택된 신호 시퀀스와 보간 필터의 계수 간의 곱은 계산량이 많고 계산 시간이 많이 소모되므로 이를 해결하기 위하여 입력 신호에 따른 계산 결과를 순탐(Lookup) 표를 이용하여 계산 결과를 출력하는 방법을 사용한다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

첨부한 도 1은 본 발명에 따른 보간 필터를 사용한 타이밍 복원 장치 블록 구성도로서, 본 발명이 적용될 통신시스템 구조이다.

디지털 복조기 형태는 수신된 신호를 A/D 변환(101)한 후 정합 필터(103)를 거친다. 정합 필터(103)의 출력 신호는 심볼 타이밍 복원 회로(104)를 거쳐서 만들어진 신호로부터 심볼 타이밍을 교정하고 반송파의 위상차를 보상하는 회로(105)를 통하여 반송파 위상차를 복원한다. 이렇게 심볼 타이밍과 위상차가 보상된 신호는 결정(Decision) 블록(106)에서 실제 전송된 데이터를 검출하게 된다.

이때, 첨부한 도 1은 일반적인 통신시스템에서 사용되는 복조기 중에서 기저 대역에서 심볼 타이밍과 반송파 위상을 검출하여 보상하는 방식을 나타내었다.

따라서, 통신 시스템의 수신기에 입력된 신호는 디지털 신호로 바뀌기 위해서 A/D 변환된다. 고정 클럭을 이용하여 A/D 변환하는 구조에서는 송신기에서 사용하는 기준 클럭과 수신기에서 사용하는 클럭 간의 차이로 인해서 심볼 타이밍 슬립이 발생하기 때문에 이를 보상하기 위한 회로가 필요하며 이를 위해 보간 필터를 사용할 수 있다.

즉, A/D 변환(101)된 신호는 기저대역으로 주파수 하향 변환하여(103) 실수(Real) 신호를 복소수 신호로 변환된 후 I-phase와 Q-phase 신호의 복소수 신호로 바뀌고 병렬 형태의 정합 필터에서 저역 필터링을 행한다. 고속에서 동작하는 복조기에서 계산 양이 가장 많고 복잡한 회로는 정합 필터부분으로 이 부분의 계산 양을 줄이면서 주파수를 하향하는 기능을 제공하기 위하여 정합 필터와 주파수 하향기를 동시에 사용하는 구조로 이루어진다.

그러므로, 주파수 하향 변환과 정합 필터링을 동시에 행하며, 이렇게 구한 신호는 기저 대역에서 타이밍 복원 회로(104)를 거쳐서 심볼 타이밍 위상차를 복원하고 반송파의 위상차를 복원(105)하여 수신 데이터를 검출한다.

첨부한 도 2는 본 발명에서 제안하는 심볼 타이밍 제어 구조도로서, 도 1에서 나타난 심볼 타이밍 복원을 위한 회로(112)를 디지털로 구성하기 위하여 심볼 타이밍 위상차 검출 회로(201) 및 검출된 위상차를 기준 문턱 값에 도달할 때까지 적분(202)하고, 이 값을 문턱 값 비교기(203)에서 문턱 값과 비교하여 문턱 값을 넘어서면 보간 필터의 계수 군을 현재에 선택된 계수 군에서 다른 계수 군을 선택하도록 제어 블록(207)에서 제어신호를 출력한다.

이때, 첨부한 도 2에서 제시된 타이밍 오차 검출기(201)는 여러 가지의 변환 루프 방식 중에 가드너(Gardner)의 결정지향방식을 채택하였다.

이 방법은 심볼 타이밍에서 결정된 샘플 값과 심볼 타이밍 지점에서 1/2 차이를 가지는 지점에서의 샘플 값을 이용하여 입력 신호에 대한 심볼 타이밍 위상차를 검출한다. 검출된 오차신호는 적분기(202)에서 적분된 신호가 문턱 값을 넘어서면 제어기를 구동하기 위한 제어 신호를 발생한다.

즉, 문턱 값은 양과 음의 값을 가지며 적분된 신호가 양의 방향으로 기준 값을 넘으면 +1의 값을 출력하고 음의 문턱 값 보다 작은 값을 가지면 -1의 값을 출력 한다. 이 값을 이용하여 심볼 타이밍 제어 회로(207)에서는 보간 필터(111)에서 사용되는 보간 필터 계수 군을 선택하고 심볼 타이밍을 제어하는 기능을 수행한다.

그리고 +1 이나 -1의 신호가 발생하면 적분기에 저장된 값을 리셋(reset)하기 위해 출력 값에 따라서 문턱 값(204) 만큼 가감(206)하는 회로(208)가 구성되어 있다.

첨부한 도 3은 도 2에서 제시한 기능을 실제 하드웨어에서 구현한 형태를 나타낸다.

심볼 타이밍 오차 검출기(301)에서는 입력은 처리 속도를 높이기 위하여 두 개의 심볼에 대한 I-phase와 Q-phase의 심볼 시각과 1/2의 위상차를 가지는 샘플(half time sample)(303)이 되며, 이 값의 양의 값과

음의 값이 다중화기(319, 320, 321, 322)에 입력된다.

다중화기의 출력은 결정 지향 데이터(332)에 의해서 결정된다. 각각의 다중화기에 대한 출력 선택 방법은 연속된 두 심볼에 대한 I_{phase} 와 Q_{phase} 의 값에 따라 결정된다.

$di(k)$ (302) 심볼 값과 $di(k+1)$ (304) 심볼의 한 심볼 지연기(310)를 거친 값에 대한 조합에 따라 첫 번째의 다중화기(319)의 출력이 결정되는데, 첫 번째의 다중화기(319)는 $di(k)$ (302)와 $di(k+1)$ (304)의 한 심볼 지연기(310)를 거친 값이 10(314) 인 경우 $zi_half(k)$ 값을 선택하고 01(314)인 경우에는 $-zi_half(k)$ 를 선택하며, 나머지 두 조합에서는 0의 값을 선택한다.

두 번째 다중화기(320)의 출력은 $di(k)$ (302)의 심볼 값과 $di(k+1)$ (304) 심볼 값의 조합에 따라 첫 번째 다중화기(319)와 마찬가지로 방법으로 결정된다.

세 번째 다중화기(321)의 출력은 $dq(k)$ (303)의 심볼 값과 $dq(k+1)$ (305) 심볼 값의 조합에 따라 첫 번째 다중화기(319)와 마찬가지로 방법으로 결정되며, 네 번째 다중화기(322)의 출력은 $dq(k)$ (303)의 심볼 값과 $dq(k+1)$ (305) 한 심볼 지연기(311)를 거친 값에 대한 조합에 따라 첫 번째 다중화기(319)와 마찬가지로 방법으로 결정된다.

이들 다중화기의 출력은 덧셈기인 캐리 저장 가산기(carry save adder: CSA)와 캐리 전달 가산기(carry propagation adder: CPA)(323)에서 더하여 진다.

위의 과정을 거쳐 구현된 심볼 타이밍 오차 값(301)은 심볼 타이밍 복원 회로의 루프 이득 만큼 곱(324)해진다. 루프 이득의 곱은 하드웨어의 복잡도와 계산 량을 줄이면서 계산 효과를 증대 시키기 위한 방안으로 1비트 쉬프트 레지스터(324)를 사용한다. 곱해지는 루프 이득의 범위는 $1/128 \sim (1/128+1/64+1/32+1/16)$ 사이의 값(331)이며, 이는 4비트로 표현된다.

즉, 루프 이득을 4비트 형태로 입력하면 이 값에 따라 비트 쉬프트를 수행한다. 루프 이득이 $1/128$ 인 경우를 예로 들면 입력 데이터는 오른쪽으로 4번의 비트 쉬프트를 수행한다.

나머지 루프 이득 비트(331)에 대해서도 마찬가지로 방법으로 루프 이득과의 곱 기능을 쉬프트와 덧셈 기능을 이용하여 수행한다. 비트 쉬프트된 결과는 CSA+CPA(325)에서 더하여 루프 이득 곱을 수행한다.

덧셈기(325)의 출력은 심볼 타이밍을 제어하기 위한 제어 신호를 발생하는 장치(334)로 입력된다. 심볼 타이밍 제어 장치에서는 도 2의 적분 기능(326, 330)과 문턱 값 비교 기능(327), 문턱 값 만큼 가감(326, 329)하는 기능을 수행한다.

즉, 덧셈기(325)의 입력 신호는 루프 이득이 곱해진 현재의 심볼 타이밍 오차 신호와 이전 출력 값이 저장되어 있는 버퍼(330)의 출력이며, 이를 더한 덧셈기(325) 출력 신호를 문턱 값(327)과 비교하여 제어 신호를 발생 시킨다. 제어 신호의 출력은 2비트로 표현된다.

비교기의 입력 신호가 양의 문턱 값 보다 크면 10 값을 출력으로 내보내고, 입력 신호가 음의 문턱 값 보다 작으면 01의 신호를 출력한다(327). 그리고 음의 문턱 값과 양의 문턱 값 사이의 값은 00의 값을 출력한다. 현재의 덧셈기(325) 결과는 제어 신호에 따라 문턱 값만큼 덧셈(326)하여 다시 덧셈기(325)의 입력으로 들어간다. 문턱 값만큼 가감하기 위해서 덧셈기(325) 출력신호를 버퍼(330)에 저장하고, 문턱값 선택기(329)에서 제공하는 값만큼 더하여(326) 다음 심볼 시각에 덧셈기(325)로 입력된다. 이 부분은 타이밍 오차가 문턱 값을 넘는 경우 이전에 저장된 오차 값에서 가감하는 역할을 수행한다.

첨부한 도 4는 심볼 타이밍 복원을 위해 사용되는 보간 필터의 일반적인 모양을 나타내고 있다.

입력된 샘플을 계수 군에 따라 필요한 만큼의 쉬프트 레지스터(401)에 저장하면서 저장(411)된 샘플 값을 미리 설정된 계수(402)와 곱한 후 모든 값을 합(403)하여 보간 필터의 출력을 낸다. 이때 출력되는 신호는 심볼 타이밍 복원을 위해 심볼 타임 때와 심볼 타임과 위상차가 $1/2$ 인 때에 신호가 출력된다. 이 값을 이용하여 타이밍 오차 검출기에서 타이밍 오차를 검출하게 된다.

또한, 첨부한 도 5에서는 도 4에서 나타난 구조를 실제 하드웨어로 구현한 형태를 나타낸다.

정합필터의 출력 신호를 입력으로 받아서 $4 \times n$ 쉬프트 레지스터(501)에 입력 데이터를 저장한다. 이는 계산 속도를 증대 시키는 병렬 처리를 위하여 4 개의 샘플을 동시에 처리하기 위한 것이다. 입력 R0(505), R1(504), R2(503), R3(502)는 문턱에 따라 000, 001, 002, 003(510)으로 입력되고 문턱에 따라 오른쪽으로 쉬프트를 수행한다. 이렇게 저장된 샘플 데이터는 또다른 쉬프트 레지스터인 $1 \times n$ 쉬프트 레지스터(520, 526)에 저장된다.

병렬 처리를 위하여 4개의 입력 데이터 시퀀스를 미리 생성시키고, 이들 값을 다중화기(525)를 통하여 보간 필터의 계수와 곱하는 기능을 수행하게 된다. 먼저 심볼 타임의 샘플 $ton(k)$ (564)를 얻기 위해서 $ton(k)$ 와 관련될 수 있는 모든 샘플을 쉬프트 레지스터(520)에 4 개의 그룹(521, 522, 523, 524)으로 묶어서 저장한다.

이들 값은 도 3의 타이밍오차 검출기에서 제공하는 제어 신호 DS_{SEL} (566)에 의해 하나의 데이터 시퀀스가 선택된다. 이렇게 선택된 데이터 시퀀스는 보간 필터 계수와 곱해서 더해지는 과정을 거친다. 보간필터 계수와 곱해지는 과정(541, 542, 543, 544)은 순탐포를 사용하여 입력되는 값에 따라 미리 설정된 값이 출력된다.

따라서 입력 시퀀스에 대해서 계수를 곱하는 기능은 입력 시퀀스 값에 따라 미리 저장된 값을 출력하고 이 값을 더하는 과정으로 단순화 된다.

따라서, 병렬 처리를 위해 모든 계수 값에 대해 곱의 계산 값을 출력한다. 출력된 계산 값 중에 타이밍 오차 검출기에서 제공하는 제어 신호 HS_{SEL} (567)에 의해서 계산 결과는 선택된다.

선택된 결과는 캐리 저장 가산기 트리(carry save adder tree)(560)와 캐리 전달 가산기(carry propagation adder)(561) 순탐포 출력을 더하여 보간 필터 출력을 내보낸다. $ton(k)$ (564)의 다음 심볼 값

인 $\text{ton}(k+1)$ (565)의 값도 $\text{ton}(k)$ (564)와 마찬가지로 $\text{ton}(k+1)$ (565)의 출력과 관련되는 입력 시퀀스를 미리 설정하고 이를 값을 $1 \times n$ 쉬프트 레지스터에 저장한다.

저장된 결과는 제어 신호에 따라서 선택되고 보간 필터의 계수와 곱해지는 과정을 거친다. 샘플 타임과 위상차가 1/2인 때에 신호에 대한 신호도 2 개의 샘플에 대해 샘플 시각에서의 샘플과 같은 방법으로 구할 수 있다.

상술한 구성 및 동작상의 특징으로 간략히 살펴보면, 우선적으로 샘플당 4샘플을 처리하며, 아울러 두 샘플을 묶어서 처리하는 병렬 처리 방법을 사용한다는 것이다.

따라서, 본 발명에 따른 장치는, 고속 통신에서 동작이 가능하도록 수신된 신호를 고정 주파수로 동작하는 고정 클럭(102)에 의해서 구동되는 A/D 변환기(101)에서 디지털 신호로 변환되고 회상하는 신호를 검출하기 위해서 정합 필터와 주파수 하향기(103)를 거친다. 여기서 제시된 방법은 수신된 신호를 기저대역이 아닌 대역 통과 영역에서 A/D 변환을 한다.

이 경우 고정 클럭에 의해서 구동 되는 A/D 변환기를 사용하기 때문에 송수신기의 사용 클럭의 차이로 타이밍 슬립(Slip)이 발생할 수 있다. 따라서 타이밍 슬립을 방지하기 위하여 보간 필터(111)를 사용하게 된다.

또한, 샘플 타이밍 복원 시 성능을 높이기 위하여 정합 필터(103)의 출력 신호를 보간하고 이 신호를 이용하여 타이밍 오차 검출기(201)에서 타이밍 위상차를 검출한다. 검출된 신호를 이용하여 타이밍 위상차 제어 회로(207)에서 타이밍 위상차를 제거하기 위한 제어 신호를 출력한다. 이 제어 신호는 보간 필터에 입력되어 보간 필터의 출력을 위상차에 만큼 보상하는 위치에서 샘플 클럭이 형성되도록 보간 필터의 계수 선택을 제어하는 역할을 한다.

그러므로, 본 발명에서 제시된 타이밍 복원 방법은 보간 필터의 출력 값을 이용하여 타이밍 위상차를 보정해 주는 제1 루프 방식을 이용 하였다. 본 발명에서 제시된 보간 필터의 구조는 수 십 Mbps 이상의 고속의 통신에서 사용을 고려하여 레이즈드-코사인 필터를 사용하였으며 사용된 계수는 4개의 군으로 선정 되어서 입력 샘플에 대해서 4배의 해상도를 가질 수 있게 하였다.

본 발명에서는 동작 속도를 높이기 위해 두 개의 샘플에 대한 여덟 개의 샘플을 동시에 처리하는 병렬 처리 구조를 사용하였다. 이를 위하여 제시된 보간 필터의 구조는 입력 데이터 군을 4개의 시퀀스로 나누었으며 샘플 타이밍 오차 검출 회로에서 제공되는 제어 신호에 따라 하나의 시퀀스를 선택하도록 하였다.

이렇게 선택된 하나의 시퀀스는 필터의 계수와 곱하는 과정에서 미리 분리된 4 개의 계수 군에 대해서 모든 계산 결과를 수행한 후, 샘플 타이밍 오차 검출 회로에서 제공되는 제어 신호에 따라 하나의 계산 결과를 선택하여 계산 시간을 줄인다. 아울러 병렬 구조를 통해서 실시간 처리 시 동작 속도를 2배로 증대시키기 위해 2샘플에 상응하는 결과를 동시에 출력되도록 하였다.

이상의 설명에서 본 발명은 특정한 실시예와 관련하여 도시 및 설명하였지만, 특허청구범위에 의해 나타난 발명의 사상 및 영역으로부터 벗어나지 않는 한도 내에서 다양한 개조 및 변화가 가능하다는 것을 당 업계에서 통상의 지식을 가진 자라면 누구나 쉽게 알 수 있을 것이다.

본 발명의 효과

상기와 같은 본 발명은, 고속 통신에서 사용 가능한 보간 필터를 이용하여 기저대역에서 수신 신호의 샘플 타이밍 복원을 위한 하드웨어 구조를 제안하였으며, 사용된 보간 필터의 구조 계산 속도를 높이기 위하여 병렬 구조를 제안하였는데, 보간 필터의 구조는 수 십 Mbps 이상의 고속의 통신에서 사용을 고려하여 레이즈드-코사인 필터를 사용하였으며 사용된 계수는 4개의 군으로 선정 되어서 샘플당 4 배의 해상도를 가지도록 하였고, 아울러 데이터 처리 속도를 높이기 위하여 병렬 처리 하드웨어 구조를 제안하였으며, 보간 필터의 계수와 입력을 곱하여 더하는 과정을 승합표를 이용하여 처리하여 계산 속도를 증대시키는 효과를 발생 시켰다.

(57) 청구의 범위

청구항 1. 디지털 샘플 타이밍 복원 장치에서의 타이밍 복원 방법에 있어서,

수신된 신호를 기저 대역에서 디지털로 샘플 타이밍의 위상을 복원하기 위하여 고정 클럭에 의해서 구동되는 A/D 변환 수단의 출력을 정합 필터링 수단을 통해 필터링하는 제 1과정과;

상기 제 1과정을 통해 필터링되어진 신호를 보간 필터링 수단을 통해 신호 보간을 수행하는 제 2과정과;

상기 제 2과정을 통해 보간되어진 신호를 타이밍 오차 검출수단을 통해 샘플 타이밍 위상차를 검출하는 제 3과정; 및

상기 제 3과정을 통해 검출된 샘플 타이밍 위상차에 따라 상기 보간 필터링 수단의 계수 선택을 통해서 타이밍 위상차를 제거하는 제 4과정을 포함하되, 제1 루프 방식으로 결정지향 가드너(Gardner) 검출방법을 적용하는 것을 특징으로 하는 보간 필터를 사용한 타이밍 복원 병렬 처리 방법.

청구항 2. 디지털 샘플 타이밍 복원 장치에서의 타이밍 복원 방법에 있어서,

두 샘플 당 샘플 타이밍 오차를 검출한 후 샘플 타임 샘플 값을 취하며,

샘플 당 4샘플 기준으로 처리된 정합 필터 출력을 보간 필터의 입력으로 받아들이며 이를 4배 크기의 레지스터에 저장한 후 사용 입력 시퀀스의 선택과 필터 계수의 선택을 수행하는 제 1과정과;

상기 제 1과정을 통해 선택된 신호 시퀀스와 보간 필터의 계수간의 곱은 입력 신호에 따른 계산 결과를 순탐(Lookup) 표를 이용하여 계산 결과를 출력하는 제 2과정을 포함하여 필터의 입력 시퀀스와 필터 출력을 병렬 처리하는 것을 특징으로 하는 필터의 입력 시퀀스와 필터 출력을 병렬 처리하는 방법.

형구항 3. 디지털 심볼 타이밍 복원 장치에서의 타이밍 복원 방법에 있어서,

수신된 신호를 기저 대역에서 디지털로 심볼 타이밍의 위상을 복원하기 위하여 고정 클럭에 의해서 구동되는 A/D 변환 수단의 출력을 정합 필터링 수단을 통해 필터링하는 제 1과정과;

상기 제 1과정을 통해 필터링되어진 신호를 보간 필터링 수단을 통해 신호 보간을 수행하는 제 2과정과;

상기 제 2과정을 통해 보간되어진 신호를 타이밍 오차 검출수단을 통해 심볼 타이밍 위상차를 검출하는 제 3과정과;

상기 제 3과정을 통해 검출된 심볼 타이밍 위상차에 따라 상기 보간 필터링 수단의 계수 선택을 통해서 타이밍 위상차를 제거하고 제한 루프 방식으로 결정지향 가드너(Bardner) 검출방법을 적용하는 제 4과정과;

두 심볼 당 심볼 타이밍 오차를 검출한 후 심볼 타임 샘플 값을 취하며, 심볼 당 4샘플 기준으로 처리된 정합 필터 출력을 보간 필터의 입력으로 받아들여 이를 4배 크기의 레지스터에 저장한 후 사용 입력 시퀀스의 선택과 필터 계수의 선택을 수행하는 제 5과정; 및

상기 제 5과정을 통해 선택된 신호 시퀀스와 보간 필터의 계수간의 곱은 입력 신호에 따른 계산 결과를 순탐(Lookup) 표를 이용하여 계산 결과를 출력하여 필터의 입력 시퀀스와 필터 출력을 병렬 처리하는 제 6과정을 포함하는 것을 특징으로 하는 보간 필터를 사용한 타이밍 복원 병렬 처리 방법.

형구항 4. 디지털 심볼 타이밍 복원 장치에 있어서,

입력되는 수신신호를 고정주파수 클럭에 의해 디지털신호로 변환하는 A/D 변환기와;

상기 A/D 변환기에서 출력되는 디지털 신호를 입력받아 주파수 하향 및 정합동작을 통해 필터링하는 주파수 하향 및 정합 필터와;

상기 주파수 하향 및 정합 필터를 통해 필터링되어진 신호를 입력받고 입력되는 재어신호에 의해 보간 필터링 동작을 수행하는 디지털 보간 필터와;

입력되는 신호에서 임의의 심볼을 결정하여 출력하는 결정부와;

상기 결정부의 입출력 신호를 입력받아 반송파를 복원하는 반송파 복원장치와;

상기 결정부의 입출력 신호를 입력받아 상기 디지털 보간 필터의 필터 계수를 제어하는 심볼 타이밍 복원 장치를 포함하는 것을 특징으로 하는 보간 필터를 사용한 타이밍 복원 병렬 처리 장치.

형구항 5. 제 4항에 있어서,

상기 심볼 타이밍 복원 장치는 상기 결정부의 입출력 신호를 입력받아 타이밍 오차를 검출하는 타이밍 오차 검출기와;

입력신호를 기준으로 상기 디지털 보간 필터의 필터 계수를 제어하는 타이밍 위상 제어기와;

상기 타이밍 위상 제어기에 입력되는 신호를 기 설정된 문턱값과 곱연산하여 출력하는 승산기와;

상기 승산기의 출력신호를 기 설정된 시간동안 지연시켜 출력하는 제 1지연기와;

상기 지연기의 출력신호와 타이밍 오차 검출기의 출력신호를 합산하여 출력하는 제 1가산기와;

상기 제 1가산기의 출력신호와 제 2지연기를 통해 지연되어 입력되는 자신의 출력신호를 합산하여 출력하는 제 2가산기; 및

상기 제 2가산기의 출력신호를 입력받아 기 설정되어 있는 문턱값과 비교하여 그 비교차를 상기 타이밍 위상 제어기측으로 입력시키는 문턱값 비교기를 포함하는 것을 특징으로 하는 보간 필터를 사용한 타이밍 복원 병렬 처리 장치.

형구항 6. 제 4항 또는 제 5항에 있어서,

상기 심볼 타이밍 복원 장치는 처리 속도를 높이기 위하여 두 개의 심볼에 대한 I_phase와 Q_phase의 심볼 시각과 1/2 의 위상차를 가지는 샘플(333)이 되도록 하는 수단과;

다중화기의 출력은 결정 지향 데미터(332)에 의해서 결정되는 수단;

각각의 다중화기에 대한 출력 선택 방법은 연속된 두 심볼에 대한 I_phase와 Q_phase의 값에 따라 결정하는 수단;

di(k)(302) 심볼 값과 di(k+1)(304) 심볼의 한 심볼 지연기(310)를 거친 값에 대한 조합에 따라 첫 번째의 다중화기(319)의 출력이 결정되는 수단;

di(k)(302)와 di(k+1)(304)의 한 심볼 지연기(310)를 거친 값이 10(314) 인 경우 zi_half(k) 값을 선택하

고 01(314)인 경우에는 $-z_{1_half}(k)$ 를 선택하며 나머지 두 조합에서는 0 의 값을 선택하는 수단;

두 번째 다중화기(320)의 출력은 $d_i(k)$ (302)의 샘플 값과 $d_i(k+1)$ (304) 샘플 값의 조합에 따라 첫 번째 다중화기(319)와 마찬가지로 방법으로 결정되는 수단;

세 번째 다중화기(321)의 출력은 $d_q(k)$ (303)의 샘플 값과 $d_q(k+1)$ (305) 샘플 값의 조합에 따라 첫 번째 다중화기(319)와 마찬가지로 방법으로 결정되는 수단;

네 번째 다중화기(322)의 출력은 $d_q(k)$ (303)의 샘플 값과 $d_q(k+1)$ (305) 한 샘플 지연기(311)를 거친 값에 대한 조합에 따라 첫 번째 다중화기(319)와 마찬가지로 방법으로 결정되는 수단;

상기 다중화기의 출력은 덧셈기(CSA+CPA)에서 더하여 지는 수단;

루프 이득의 곱이 하드웨어의 복잡도와 계산 량을 줄이면서 계산 효과를 증대 시키기 위한 방안으로 1비트 쉬프트 레지스터(324)를 사용하여 구현되는 수단;

곱해지는 루프 이득의 범위가 $1/128 \sim (1/128 + 1/64 + 1/32 + 1/16)$ 사이의 값(331)이며, 이는 4 비트로 표현되는 수단;

루프 이득을 4 비트 형태로 입력하면 이 값에 따라 비트 쉬프트를 수행하는 수단;

비트 쉬프트된 결과를 CSA+CPA(325)에서 더하여 루프 이득 곱을 수행하는 수단;

덧셈기(325)의 입력 신호는 루프 이득이 곱해진 현재의 샘플 타이밍 오차 신호와 이전 출력 값이 저장되어 있는 버퍼(330)의 출력이며, 이를 더한 덧셈기(325) 출력 신호를 문턱 값(327)과 비교하여 제어 신호를 발생시키는 수단;

제어 신호의 출력값이 비교기의 입력 신호가 양의 문턱 값 보다 크면 10 값을 출력으로 내보내고, 입력 신호가 음의 문턱 값보다 작으면 0 의 신호를 출력(327)하며, 음의 문턱 값과 양의 문턱 값 사이의 값은 00의 값을 출력하는 수단;

현재의 덧셈기(325) 결과가 제어 신호에 따라 문턱 값 만큼을 덧셈(326)하여 다시 덧셈기(325)의 입력으로 들어가는 수단;

문턱 값만큼 가감하기 위해서 덧셈기(325) 출력신호를 버퍼(330)에 저장하고, 문턱 값 선택기(329)에서 제공하는 값만큼 더하여(326) 다음 샘플 시각에 덧셈기(325)로 입력하는 수단을 포함한 보간 필터를 사용한 샘플 타이밍 복원 병렬 처리 장치.

청구항 7. 제 4항에 있어서,

상기 디지털 보간 필터는 상기 주파수 하향 및 정향 필터의 출력 신호를 입력으로 받아서 $4 \times n$ 쉬프트 레지스터(501)에 입력 데이터를 저장하는 수단;

입력 R0(505), R1(504), R2(503), R3(502)는 클럭에 따라 000, 001, 002, 003(510)으로 입력되고 오른쪽으로 쉬프트를 수행하는 수단;

저장된 샘플 데이터는 또다른 쉬프트 레지스터인 $1 \times n$ 쉬프트 레지스터(520, 526)에 저장하는 수단;

병렬 처리를 위하여 4 개의 입력 데이터 시퀀스를 미리 생성시키고, 이를 값을 다중화기(525)를 통하여 보간 필터의 계수와 곱하는 기능을 수행하게 하는 수단;

샘플 타이밍의 샘플 $ton(k)$ (564)를 얻기 위해서 $ton(k)$ 와 관련될 수 있는 모든 샘플을 쉬프트 레지스터(520)에 4개의 그룹(521, 522, 523, 524)으로 묶어서 저장하는 수단;

보간필터 계수와 곱해지는 과정(541, 542, 543, 544)이 순람표를 사용하여 입력되는 값에 따라 미리 설정된 값을 출력하는 수단;

병렬 처리를 위해 모든 계수 값에 대해 곱의 계산 값을 출력하는 수단;

출력된 계산 값 중에 타이밍 오차 검출기에서 제공하는 제어 신호HSEL(567)에 의해서 계산 결과가 선택되는 수단;

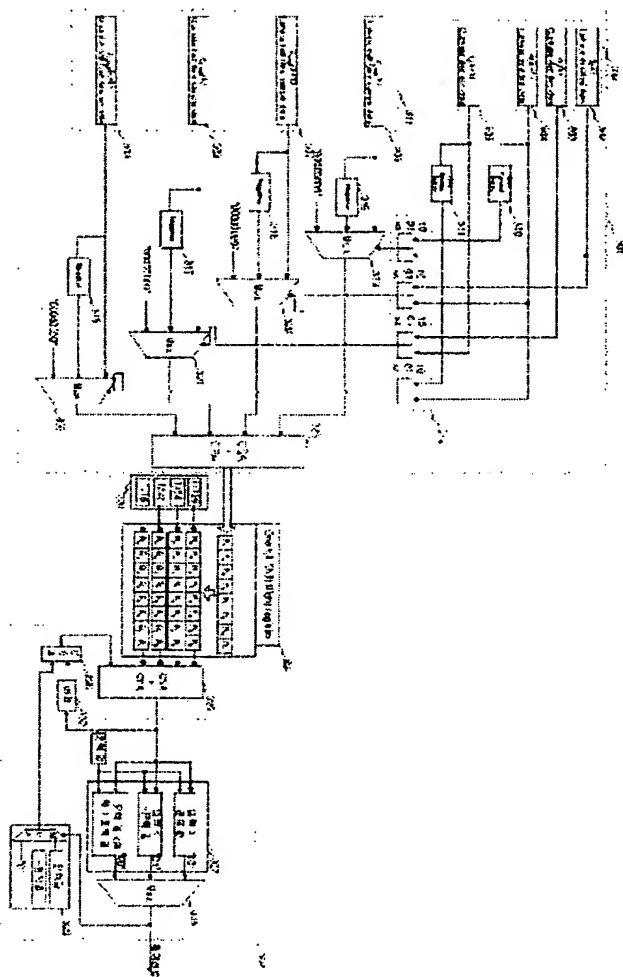
선택된 결과를 캐리 저장 가산기 트리(560)와 캐리 전달 가산기(561) 순람표 출력을 더하여 보간 필터 출력을 내보내는 수단;

$ton(k)$ (564)의 다음 샘플 값인 $ton(k+1)$ (565)의 값도 $ton(k)$ (564)와 마찬가지로 방법으로 $ton(k+1)$ (565)의 출력과 관련되는 입력 시퀀스를 미리 설정하고 이를 값을 $1 \times n$ 쉬프트 레지스터에 저장하는 수단 저장된 결과는 제어 신호에 따라서 선택되고 보간 필터의 계수와 곱해지는 수단; 및

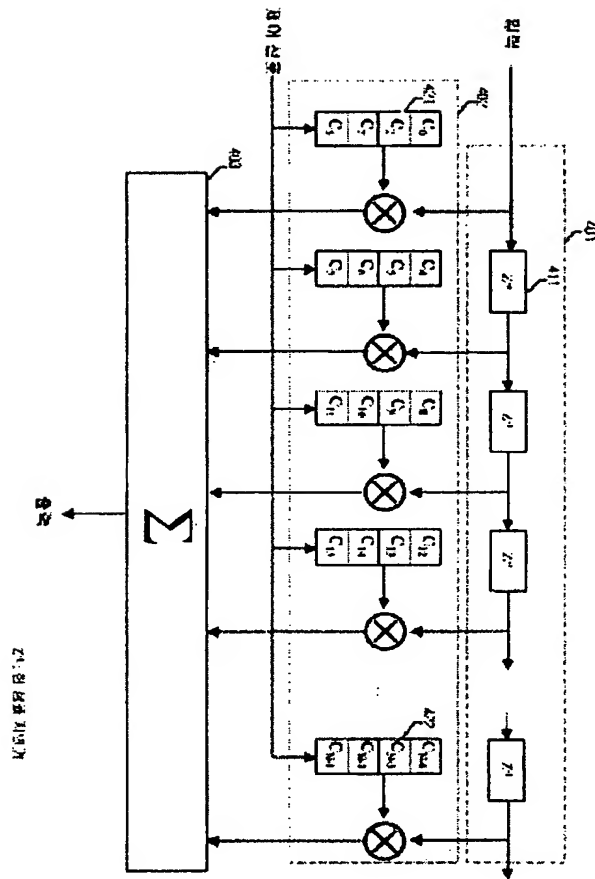
샘플 타이밍과 위상차가 1/2인 때에 신호에 대한 신호도 2 개의 샘플에 대해 샘플 시각에서의 샘플과 같은 방법으로 구하는 수단을 포함한 보간 필터를 사용한 샘플 타이밍 복원 장치의 병렬 처리 구현 방법.

도면

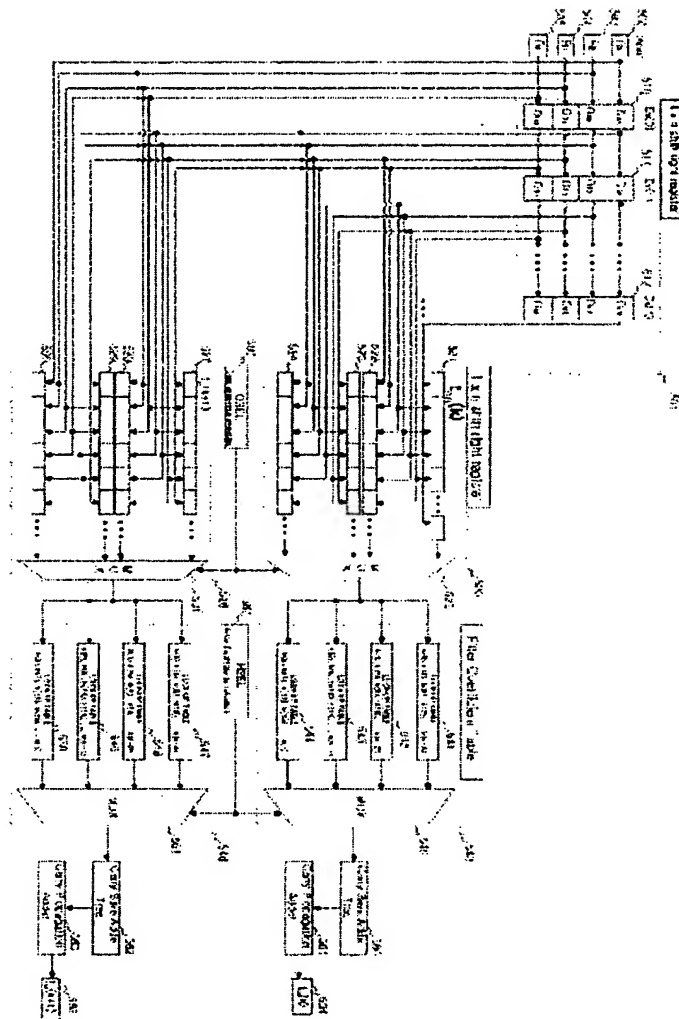
END



도 14



END



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.